

**Nonvolatile solid-state memory devices and memory using magnetoresistive effect, and recording/reproducing method of the memory device and memory**

Patent Number: ☐ [US2002036917](#)  
Publication date: 2002-03-28  
Inventor(s): SEKIGUCHI YOSHINOBU (JP); HIRAI TADAHIKO (JP); NISHIMURA NAOKI (JP)  
Applicant(s):  
Requested Patent: ☐ [JP2002176150](#)  
Application Number: US20010963519 20010927  
Priority Number(s): JP20000294254 20000927; JP20010295704 20010927  
IPC Classification: G11C11/00  
EC Classification: [G11C11/15](#)  
Equivalents: ☐ [US6487110](#)

---

**Abstract**

---

The fabrication process of a conventional MRAM using a magnetoresistive effect element as a memory device is difficult, and the device structure makes it difficult to decrease the cell area and increase the degree of integration. It is an object of this invention to realize an MRAM which can achieve a high integration degree. A memory device is characterized by including a magnetoresistive element, a bit line formed above this magnetoresistive element, and a write line. The magnetoresistive element is formed immediately above the drain region of a field-effect transistor

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-176150

(P2002-176150A)

(43)公開日 平成14年6月21日(2002.6.21)

(51)Int.Cl.  
H 0 1 L 27/105  
43/08

識別記号

F I  
H 0 1 L 43/08  
27/10

テラコード(参考)

Z 5 F 0 8 3  
4 4 7

審査請求 有 請求項の数20 O L (全 21 頁)

(21)出願番号 特願2001-295704(P2001-295704)  
(22)出願日 平成13年9月27日(2001.9.27)  
(31)優先権主張番号 特願2000-294254(P2000-294254)  
(32)優先日 平成12年9月27日(2000.9.27)  
(33)優先権主張国 日本(J P)

(71)出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(72)発明者 西村 直樹  
東京都大田区下丸子3丁目30番2号キヤノ  
ン株式会社内  
(72)発明者 平井 匡彦  
東京都大田区下丸子3丁目30番2号キヤノ  
ン株式会社内  
(74)代理人 100090538  
弁理士 西山 恵三 (外1名)

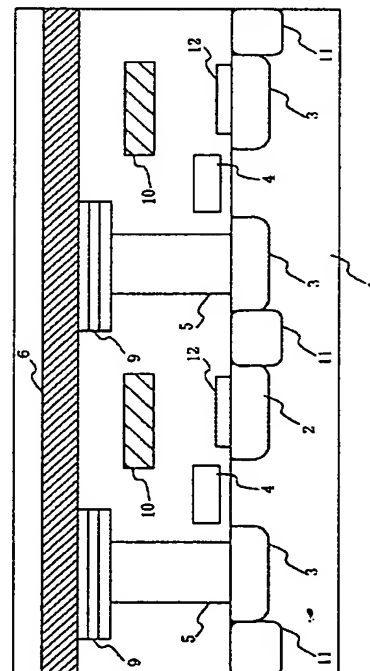
最終頁に続く

(54)【発明の名称】 磁気抵抗効果を用いた不揮発固体メモリ素子およびメモリとその記録再生方法

(57)【要約】

【課題】 従来の磁気抵抗効果素子をメモリ素子としたMRAMにおいては、作成プロセスが困難な点があり、デバイスの構造の点からセル面積を小さくし集積度を上げることが難しかった。本発明では、作成プロセスを複雑化することなく、高い集積度を達成可能なMRAMの実現を目的とする。

【解決手段】 トランジスタ構造を有する基板1上に磁気抵抗素子9と、該磁気抵抗素子の上部に設けられたビット線6と、書き込み線10が形成されたメモリにおいて、トランジスタのドレイン領域3の直上に、該磁気抵抗素子9が形成されていることを特徴とするメモリ。



## 【特許請求の範囲】

【請求項1】 基板と該基板上に形成された、少なくとも第1磁性膜と第2磁性層を有し、前記第1と第2磁性層間に非磁性層が挟まれた構造を有する磁気抵抗素子、と前記磁気抵抗素子の前記基板と対向する側に設けられたビット線と、

前記第1磁性層または第2磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線と、

トランジスタと、からなるメモリにおいて、

前記トランジスタのドレイン領域の直上に、前記磁気抵抗素子が形成されていることを特徴とするメモリ。

【請求項2】 前記第1及び第2の磁性膜の磁化容易軸が膜面垂直方向であることを特徴とする請求項1に記載のメモリ。

【請求項3】 前記非磁性層が絶縁部分を有することを特徴する請求項1または2に記載のメモリ。

【請求項4】 前記基板上に前記磁気抵抗効果素子がマトリックス状に形成されていることを特徴とする請求項1～3のいずれか1項に記載のメモリ。

【請求項5】 前記トランジスタのドレイン電極がドレイン領域面積の50%以上を占有することを特徴とする請求項1～4のいずれか1項に記載のメモリ。

【請求項6】 前記書き込み線が、磁気抵抗効果素子より基板側に配置されていることを特徴とする請求項1～5のいずれか1項に記載のメモリ

【請求項7】 前記基板上にトランジスタおよび書き込み線が形成された後に、磁気抵抗効果素子が形成されていることを特徴とする請求項6に記載のメモリ。

【請求項8】 前記書き込み線が、シリコン基板に形成されたトランジスタの素子分離領域上、または、ゲート電極上に絶縁層を介して配置されていることを特徴とする請求項6に記載のメモリ。

【請求項9】 前記トランジスタのソース領域に接地電極が接続されており、隣接する2つの磁気抵抗素子において、該接地電極が共有されていることを特徴とする請求項4に記載のメモリ。

【請求項10】 前記書き込み線を前記磁気抵抗素子を挟むように設け、前記書き込み線に互いに逆方向の電流を流して前記磁気抵抗素子の磁性層の磁化状態を変化させることを特徴とする請求項1に記載のメモリ。

【請求項11】 少なくとも1本の書き込み線が、前記トランジスタの素子分離領域上、または、ゲート電極上に絶縁層を介して配置されていることを特徴とする請求項10に記載のメモリ。

【請求項12】 前記書き込み線が、隣接する磁気抵抗素子において共有されていることを特徴とする請求項4に記載のメモリ。

【請求項13】 前記トランジスタのソース領域に接続された前記接地電極が、前記書き込み線を兼ねることを特徴とする請求項9に記載のメモリ。

【請求項14】 前記磁気抵抗膜が、前記トランジスタのドレイン領域に直接設けられていることを特徴とする請求項1に記載のメモリ。

【請求項15】 前記トランジスタのゲート電極が、前記書き込み線を兼ねることを特徴とする請求項1に記載のメモリ。

【請求項16】 前記第1磁性層及び/または第2磁性層が、希土類鉄族合金からなることを特徴とする請求項1～15のいずれか1項に記載のメモリ。

【請求項17】 前記希土類鉄族合金のうち、希土類元素が Gd、Tb、Dyのうち、少なくとも一種の元素を含み、鉄族元素がFe、Coのうち、少なくとも一種の元素を含むことを特徴とする請求項16に記載のメモリ。

【請求項18】 前記第1磁性層と前記非磁性層間と前記第2磁性層と前記非磁性層間の少なくとも一方に、Fe、Coのうち、少なくとも一つの元素を含む磁性層が設けられていることを特徴とする請求項17に記載のメモリ。

【請求項19】 請求項1記載のメモリの記録再生方法において、

前記第1磁性層の磁化方向をあらかじめ所定方向に初期化し、前記書き込み線に電流を流すことによって、前記磁気抵抗素子の第2磁性層の磁化方向を決定して情報を記録し、前記磁気抵抗素子の抵抗の絶対値を検出して、記録された情報を再生することを特徴とするメモリの記録再生方法。

【請求項20】 請求項1に記載のメモリの記録再生方法において、

前記書き込み線に電流を流すことによって、前記磁気抵抗素子の第1磁性層の磁化方向を決定して情報を記録し、前記第2磁性層の磁化方向を反転させて、そのときに生じる抵抗変化を検出して、記録された情報を再生することを特徴とするメモリの記録再生方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気抵抗膜を用いた不揮発の固体メモリ素子、メモリ及びそれらを用いた記録再生方法に関するものである。

【0002】

【従来の技術】磁性薄膜メモリ(MRAM)は半導体メモリと同じく稼働部のない固体メモリであるが、電源が断たれても情報を失わない、繰り返し書換回数が無限回、放射線が入射しても記録内容が消失する危険性がない等、半導体メモリと比較して有利な点がある。特に近年、スピントネル効果(TMR)を利用した磁性薄膜メモリは、従来から提案されている異方性磁気抵抗効果、スピン散乱型の巨大磁気抵抗効果(GMR)を用いた磁性薄膜メモリと比較して大きな出力が得られるため注目されている。

【0003】たとえば、アメリカ合衆国特許5940319においては、図1に示すような、トランジスタと膜面に磁化配向した磁気抵抗素子とが接続されてメモリセルを形成するデバイスの構造が開示されている。このデバイスは、図3～7に示すプロセスによって作成される。

【0004】まず、p型Si基板1上にソース領域、ドレイン領域3、LOCOS酸化膜11、ゲート電極4、ソース電極12、プラグ電極5を設けた電界効果トランジスタ(MOSFET)をCMOSプロセスで作成する(図3)。次に、絶縁膜を成膜、パターニングした後、書き込み線10を埋め込んで、CMPで平坦化処理を行って形成する(図4)。その後、磁気抵抗膜の下部電極14を成膜したのちにCMPで平坦化処理し(図5)、磁気抵抗膜9を設ける(図6)。その後、磁気抵抗膜9と下部電極14を加工し(図7)、絶縁膜を形成し、ビット線(上部電極)6を形成して完成する(図1)。

【0005】

【発明が解決しようとする課題】磁気抵抗膜の抵抗値を検出する際には、トンネル障壁膜を電流が通過するように電流を膜面垂直方向に流す。一般にMRAMでは、磁気抵抗膜に面内磁化膜を用いているため、書き込み線10を、磁性膜の下もしくは上に配置することが必要である。たとえば、図1では、書き込み線10を磁気抵抗膜9の下に配置している。したがって、書き込み線と磁気抵抗膜の間に、下部電極14と絶縁膜が介在する。さらに、下部電極14は、電界効果トランジスタのドレイン領域3と接続させるため、磁気抵抗膜が、ドレイン領域から横方向にずれた場所に設置せざるを得ない。

【0006】このため、次のような問題がある。

【0007】第1に、磁気抵抗膜と下部電極をパターニングする際(図6、図7)、磁気抵抗膜は取り除くが下部電極を全ては取り除かず一部残す領域を設ける必要がある。このエッチング工程は、磁性体と下部電極がともに金属であること、磁性膜と下部電極の間には余分な抵抗が生じるような膜を入れることができないことから、ウェハー内に一様に適切な位置でエッチングをとめることが難しい。

【0008】第2に、磁気抵抗膜と下部電極の両方を削る部分と、下部電極は残す部分との選択が必要なため、マスク工程が増えてプロセスが複雑になる。

【0009】第3に、磁気抵抗膜と書き込み線との間に、絶縁膜と下部電極の両方が存在するため、磁気抵抗膜と書き込み線との距離が長くなってしまい、書き込み線からの発生磁界を効率的に磁気抵抗膜に印加することが妨げられる。また加えて、下部電極の厚みは、加工時のエッチングストップの位置ばらつきを考慮する必要があることと、繰り返し電流を流しても断線が生じないためにも、厚くすることが必要である。したがって距離間

隔を縮めるのは困難となり結果的にメモリ素子を小型化することが困難となる。

【0010】第4に、ドレイン領域3にプラグ電極5を設ける際に、位置ずれのマーヅンを見込むため、その分余裕を持って設計する必要がありセル面積を小さくすることが難しい。

【0011】またこれらに加えて磁性膜に面内磁化膜を用いた場合には、ビットセルの面積を小さくするに伴って、磁性層内部で生じる反磁界(自己減磁界)が無視できなくなり、記録保持する磁性層の磁化方向が一方向に定まらず不安定となってしまう。従って、従来の磁性薄膜メモリは、ビットセルを微細化するとともに情報保存性が低下してしまい、メモリ素子を小さくすることが難しかった。これは、1 $\mu$ m以下のサイズにするときに特に顕著になる。このため、面内磁化膜においては、磁化容易軸方向の長さが幅の少なくとも2倍以上、実際には4倍程度に設定することが必要となる。図2は、図1の構成のメモリセルを上面から見た場合の構造を示したものである。図2に示したように、セルの大きさが最低でも横幅3F(Fは最小加工寸法)、書き込み線方向が3F $\sim$ 5Fとなり位置合わせマーヅンなどを全く無視した場合でも、セル面積が9 $\times$ (Fの自乗) $\sim$ 15 $\times$ (Fの自乗)と大きくなる。図1ではソース電極12が隣接セル間で共有化されているが、共有化しない場合にはセルの横幅は4Fとなりセル面積は12 $\times$ (Fの自乗)以上とさらにセル面積は大きくなる。したがって高集積化が困難であるといった欠点を有していた。

【0012】

【課題を解決するための手段】このように、MRAMにおいては、作成プロセスが困難であり、デバイスの構造の点からもセル面積を小さくすることが困難で集積度を上げることが困難であった。

【0013】本発明は上記課題に鑑み、作成プロセスを複雑化することなく、高い集積度を達成可能なMRAMの実現を目的とする。

【0014】そして上記目的は、基板と該基板上に形成された、少なくとも第1磁性膜と第2磁性層を有し、前記第1と第2磁性層間に非磁性層が挟まれた構造を有する磁気抵抗素子、と前記磁気抵抗素子の前記基板と対向する側に設けられたビット線と、前記第1磁性層または第2磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線と、トランジスタと、からなるメモリにおいて、前記トランジスタのドレイン領域の直上に、前記磁気抵抗素子が形成されていることを特徴とするメモリによって達成される。

【0015】特に、前記第1及び第2の磁性膜の磁化容易軸が膜面垂直方向であることによって、書き込み線からの磁界を効率よく磁気抵抗効果素子に印加することが可能となり好適である。

【0016】更に、前記書き込み線が、磁気抵抗効果素

子より基板側に配置されていることによって、簡易なプロセスでメモリを作製することが可能となり更に好適である。

【0017】更に、前記書き込み線を前記磁気抵抗素子を挟むように設け、前記書き込み線に互いに逆方向の電流を流して前記磁気抵抗素子の磁性層の磁化状態を変化させることによって、より強い磁界を素子に印加することが可能となり好適である。

【0018】詳細は後述の実施の形態で詳細に説明する  
【0019】

【発明の実施の形態】本発明の実施形態を、図面を用いて説明する。

【0020】（実施例1）図8に本実施例のメモリ素子の断面構造を示す。なお、記号の記載の無い部分は、基本的に絶縁体部分を示す。半導体基板1には、ソース領域2、ドレイン領域3が形成され、さらに絶縁膜を介してゲート電極4が形成され、これらでMOS（Metal-Oxide-Semiconductor）-FET（Field Effect Transistor；電界効果型トランジスタ）が構成されている。各電界効果トランジスタ間は、LOCOSフィールド酸化膜領域11によって、電気的に分離されている。

【0021】電界効果トランジスタのドレイン領域3には、プラグ電極を5介してドレイン領域3の直上の位置に、膜面垂直方向に磁化した磁性膜を有する磁気抵抗膜9が接続され、さらにビット線6に接続されている。ソース電極12には、図示していないが接地配線が設けられている。また、磁気抵抗膜9の側部には、絶縁体を介して書き込み線10が設けられている。書き込み線10、ゲート線4、ソース電極に接続された接地配線は、紙面の垂直方向に伸びている。ビット線は紙面平行方向に伸びている。図9に、図8で示したメモリ素子構成の平面図を示す。

【0022】図8を参照すると、磁気抵抗膜9と電界効果トランジスタのドレイン領域3とは、プラグ5のみで接続されている。このため、下部電極が存在することによる、記録磁界の低減や、下部電極を薄くした場合の配線の断線や、プロセス時の加工マージンが低減するといった問題がなくなる。このような構成は特に磁気抵抗膜を構成している磁性膜が垂直磁化膜である場合に容易に達成することができ、また、簡易なプロセスで実現することが可能となる。

【0023】また、垂直磁化膜を用いることによって、メモリ素子のサイズを小さくしても、反磁界の影響によって、スピニングがカーリングすることがなく、安定に磁化を保存することができるため、面内磁化膜を用いたメモリ素子と比較して、TMR素子の幅／長さの比が1にでき、メモリセル面積が小さくでき、メモリを小型化、また高集積度を達成することができる。したがって図9に示したようにセル面積を最小 $4F \times 2F = 8F^2$ まで小

さくすることができる。

【0024】磁気抵抗膜の構成としては、現在様々な構成が提案されているが、ここでは特にスピントンネル効果膜（TMR膜）を例にとって説明する。しかしながら磁気抵抗効果を発現するものであればこれに限られるものではない。しかし、高い磁気抵抗変化率が得られるため特にMRAMなどに用いる場合には好適である。TMR膜とは、非磁性層に絶縁膜を用いそれを保磁力が小さいソフト層と保磁力が大きいハード層によって挟んだ構成をとっており、両層の磁化方向が平行な場合と、反平行の場合で、貫通電流を流した際の抵抗値が異なる現象を発現する膜である。用いられる磁性層の例としては、希土類元素（RE）と鉄族元素（TM）の合金が挙げられ、具体的には、 $GdFe$ 、 $GdFeCo$ 、 $TbFe$ 、 $TbFeCo$ 、 $DyFe$ 、 $DyFeCo$ など磁化容易軸が膜面垂直方向である物質が良い。また、これら以外に、 $PtCo$ 、 $PdCo$ や $CoCr$ などを用いても良く、その中においては希土類鉄族合金が、室温で非晶質を呈し、これにより結晶体を用いた場合にみられるような、粒界ノイズ等が無く電気ノイズが低減できるため、より望ましい。

【0025】上述したように磁気抵抗膜の積層方向の抵抗は、第1磁性層と該第2磁性層の磁化の相対角度によって異なる。より具体的には、平行の場合は抵抗が小さく、反平行の場合は抵抗が大きくなる。上向きスピンと下向きスピンの状態密度の差が大きい方がこの抵抗値は大きくなり、より大きな再生信号が得られるので、絶縁膜の上下の磁性層はスピン分極率の高い磁性材料を用いることが望ましい。例えば、フェルミ面における上下スピンの偏極量が大きいFe、Coなどを主成分として選定するのが望ましい。

【0026】また、第1磁性層と絶縁層、第2磁性層と絶縁層の間には、抵抗変化率が大きく、第1磁性層もしくは第2磁性層と磁氣的に結合するような磁性層を挟むとより望ましい。このような磁性層の例としては、Fe、Co、FeCoなどが挙げられる。磁氣的な結合としては、交換結合と静磁結合があり、このどちらを用いても良いが、交換結合を用いるのが、より望ましい。

【0027】磁性層の膜厚は、2nm以上、500nm以下であることが望ましい。これは、特にサブミクロンにメモリ素子を微細化した場合、第1磁性層、第2磁性層の体積が小さくなり、それに応じて各層の垂直磁気異方性エネルギーが低下し、各層の磁化の保持機能が低下するためである。これは2nm未満の磁性膜で顕著となるため、2nm以上が望ましくより望ましくは5nm以上が良い。また膜厚が500nm以上になるとセルの抵抗値が大きくなりすぎる等の問題があるので、500nm以下が望ましくより望ましくは100nm以下が良い。

【0028】スピントンネル膜を用いる場合、非磁性層

は、電子がスピンを保持してトンネルするために、絶縁層でなければならない。非磁性膜の全部が絶縁層であっても、その一部が絶縁層であってもよい。絶縁層として非磁性金属の酸化物を利用した例としては、Al膜の一部を空気中もしくは真空中でプラズマ酸化により酸化させた $Al_2O_3$ が考えられる。他に、窒化アルミニウム $AlN_x$ 、酸化シリコン $SiO_x$ 、窒化シリコン $SiN_x$ 、 $NiO_x$ が例として挙げられる。好ましくは、酸化アルミニウム $AlO_x$ がよい。これは、スピントンネルがおきるには、第1磁性層と第2磁性層の伝導電子のエネルギーに、適切なポテンシャルバリアーが存在することが必要であり、 $AlO_x$ はこのバリアーを得ることが比較的容易で、簡易なプロセスで作成できるからである。

【0029】また、膜厚は数nm程度の層であって、その絶縁部分の膜厚は0.5nm以上3nm以下であることが望ましい。これは、0.5nm未満である場合、第1磁性層と第2磁性層が電氣的にショートしてしまう可能性があるからであり、3nmを超える場合、電子のトンネル現象が起きにくくなるからである。さらに、1nm以上2.5nm以下であることが望ましい。

【0030】次に本発明の記録再生方法を図10のメモリセルをマトリックス状に配置した等価回路図を参照して説明する。T11~T33はトランジスタ、R11~R33は磁気抵抗膜、B1~B3はビット線、G1~G3はワード線（ゲート線）、W1~W3は書き込み線、S1~S3はソース線である。また他との区別が必要でない場合には、添え字は省略して説明する。トランジスタ（T22）と磁気抵抗膜（R22）から構成されたメモリセルに注目すると、ビット線B2は、書き込み線を兼ね、セル中の磁気抵抗素子（R22）の片方の端子に結合され、センスアンプ（SA）の一方の端子に接続される。磁気抵抗素子（R22）のもう一方の端子は電界効果型トランジスタ（T22）のドレイン端子に結合され、該電界効果型トランジスタ（T22）のソース端子は接地される。ワード線（G2）は、該電界効果型トランジスタ（T22）のゲート端子に接続される。また、書き込み線（W2）は、ビット線と直交するように、磁気抵抗素子R22の近傍に配置される。

【0031】まず初めに、読み出し動作について説明する。まずビット線B2の左端に電源電圧 $V_{dd}$ を印加し、ワード線G2に電圧を印加しトランジスタT22をオン状態にすることで、R22に定常電流が流れ、ビット線B2の右端のセンスアンプ（SA）の端子に磁気抵抗素子R22の抵抗値に応じた電位が生じる。センスアンプSAのもう一方の端子には、磁気抵抗素子R22の2つの抵抗値のうち、中間値に応じた電位を入力する。これにより、RefとR22のどちらが高抵抗かによってセンスアンプSAの出力が $V_{dd}$ または0Vのどちらかが選択されることになる。

【0032】次に、各セルに所望の磁化を書き込む方法について説明する。一例として、ここでは一方の層のみを書き換える場合について説明するがこれに限られるものではなく、両方の層の磁化を書き換えても良い。まず、R22に情報を書き込むとすると、B2とW2に電流を流すことによって、2本の配線が交差する点において磁場が強め合い、R22のソフト層（保磁力が弱い方の強磁性体）の磁化が書き換えられる。W2の電流方向を逆転させれば、逆方向の磁界を印加することが可能となる。このような操作によって、情報の書き込みを行なう。書き込み線は、磁気抵抗膜に膜面垂直方向に磁界が印加されるように配置する。書き込み線と磁気抵抗膜の間には絶縁膜が設けられる。絶縁膜を設けるのは、書き込み線と磁気抵抗膜が電氣的に接続されるのを防ぐためである。これは、再生時に磁性薄膜素子に流す電流が書き込み線に洩れて再生信号が劣化することを防ぐなどのために必要である。

【0033】また、書き込み線と磁気抵抗膜の間隔が長いと十分な磁界を印加することができず、短い場合は、書き込み線と磁気抵抗膜の間で絶縁破壊が生じたりトンネル電流が流れたりするので、少なくとも1nm以上500nm以下で、望ましくは、5nm以上100nm以下とするのがよい。

【0034】ここで記録再生方法に関して図8を参照して更に詳細に説明する。上述したようにまず記録時には、書き込み線10に電流を流して、そこから発生する磁界を用いて、磁気抵抗膜9の磁性層の磁化を情報に応じて配向させて記録を行なう。書き込み線10には紙面の垂直方向に電流が流れる。例えば紙面に向かって電流を流すと、書き込み線に対して右回りに磁界が発生する。この場合、磁気抵抗膜9には、上向きの磁界成分が印加される。この書き込み線と同時に、ビット線に電流を流す。このビット線電流によって、磁気抵抗膜の面内方向に磁界が印加される。書き込み線とビット線各々からの磁界は複数のメモリセルに印加されるが、これら書き込み線とビット線からの合成磁界は、電流を流した導体線の交点に位置する磁気抵抗膜にしか印加されない。これによって、所定のメモリセルにのみ、記録を行うことができる。書き込み線に流す電流の方向を変えれば、磁気抵抗膜には、上向き、下向きのどちらかの磁界が印加されるため、情報に応じて、磁気抵抗膜の磁化状態を決定することができる。

【0035】次に読み出し方法に関してだが、大きく分けて絶対検出法と差動検出法の2つの方法がある。まず、絶対検出法に関して説明する。絶対検出においては磁気抵抗膜の構成は「メモリ層（第1磁性層）／非磁性層／ピン層（第2磁性層）」となり、第1磁性層を磁化情報が保存されるメモリ層、第2磁性層を保存時、記録時、再生時のいずれの状態においても常に決められた一定の方向に磁化が配向したピン層とする。例えば、

“0”、“1”のデータを、第1磁性層の磁化の上向き、下向きにそれぞれ対応させる。記録は上述したように書き込み線に流す電流による磁界によって第1磁性層の磁化を反転させて行う。“0”のときは抵抗値が小さく、“1”の場合は抵抗値が大きくなるので、再生時は磁性層の磁化反転は行わずに抵抗の絶対値で情報の検出を行うことができる。このため、再生時に抵抗値の変化を検出するための磁化反転を行う必要がなく、高速で、かつ、小さい消費電流で再生を行うことができる。

【0036】なお、上述では第2磁性層のスピンの向きを上向きとしたが、下向きでもよく、また、“0”、“1”のデータを第1磁性層の磁化の向きを下向き、上向きに対応させても良い。

【0037】また、第1磁性層、第2磁性層ともに磁性材料としては、上述の希土類鉄族合金(Re-TM)材料を用いることができるが、ピン層である第2磁性層は、特に保磁力が高いTbFe、TbFeCo、DyFe、DyFeCoなどが望ましい。第1磁性層の保磁力は低すぎると、メモリ性能が劣化し、高すぎると記録電流が大きくなるので、50e以上で500e以下が望ましい。第2磁性層の保磁力は低すぎると記録再生時に磁化反転する恐れが生じ、高すぎるとスピンを一方に配向させる初期化作業が困難であるため、200e以上で20ke以下にすることが望ましい。また、第1磁性層の保磁力は第2磁性層の保磁力の半分程度にすることが望ましい。

【0038】次に差動検出法について説明する。差動検出法における磁気抵抗膜の構成は「検出層(第1磁性層)/非磁性層/メモリ層(第2磁性層)」となり、これは、第2磁性層を磁化情報が保存されるメモリ層として、保磁力の小さい第1磁性層は、第2磁性層に保存された磁化情報を、磁気抵抗効果を利用して読み出す層として設けられたものである。例えば、“0”、“1”のデータを、第2磁性層の磁化の上向き、下向きにそれぞれ対応させる。記録は記録電流による発生磁界によって第2磁性層の磁化を反転させて行う。

【0039】再生は、書き込み線に記録時よりも弱い電流、もしくは書き込み線を2本設けて1本の書き込み線にのみ電流を流すなどして、記録時よりも小さい磁界を発生させて、メモリ層の磁化は反転させずに検出層の磁化のみを反転させる。こうすれば、抵抗値が“0”の場合は小から大へ、“1”の場合は大から小に変化するので、抵抗値変化により記録情報を検出することができる。この方式では、抵抗値の絶対値を検出する方式に比べ、微分検出法等を用いて微少な信号変化でも検出できるため、検出感度のよい再生を行うことができる。

【0040】なお、“0”、“1”のデータを第2磁性層の磁化を下向き、上向きに対応させても良い。

【0041】第1磁性層、第2磁性層ともに磁性材料としてはRe-TM材料を用いることができるが、どちら

の層も記録再生時に磁化反転させるため、より保磁力の低いGdFe、GdFeCoなどが望ましい。第1磁性層の保磁力は低すぎると、再生信号が劣化し、高すぎると再生電流が大きくなるので、20e以上で200e以下が望ましい。第2磁性層の保磁力は低すぎるとメモリ性能が劣化し、高すぎると記録電流が高くなるので、50e以上で500e以下にすることが望ましい。また、第1磁性層の保磁力は第2磁性層の保磁力の半分程度にすることが望ましい。

【0042】なお、上述では、ソース電極を接地電位となる接地配線としたが、必ずしも接地電位にしなくとも、任意の電位に設定することも可能である。

【0043】次に本発明のメモリ素子の作成プロセスの一例を図11から図15を用いて説明する。図11に示すような、MOS(Metal-Oxide-Semiconductor)-FET(Field Effect Transistor;電界効果型トランジスタ)を含む基板を用意する。まず、この基板におけるFETのソース領域2、ドレイン領域3に、プラグ電極5を作成する(図12)。11はLOCOS等の素子分離領域である。次に、上面を平坦化した後に、下地層としてAlCu層、磁気抵抗素子としてGdFe/Co/AlOx/Co/TbFe積層膜を形成し(図13)、フォトリソ工程により加工した後、プラズマCVD法によりSiO<sub>2</sub>膜を形成し、上面を平坦化する(図14)。

【0044】次に、書き込み線として、Ti/AlSiCu/Ti層を形成しフォトリソ工程により加工し、層間絶縁膜としてプラズマCVD法によるSiO<sub>2</sub>膜を形成した後、上面を平坦化する(図15)。次に、ビット線として、Ti/AlSiCu/Ti層を形成した後フォトリソ工程により加工し、層間絶縁膜としてプラズマCVD法によるSiO<sub>2</sub>膜を形成し、さらに保護層としてSiN膜を形成して図8に示したメモリ素子が完成する。

【0045】以上のように本発明のメモリ素子においては、磁気抵抗膜がドレイン領域の直上に位置しているため、磁気抵抗膜までエッチングし下部電極は残す必要がない。このため、エッチング停止位置のばらつきによる歩留まり低下の問題がない。

【0046】また、磁気抵抗膜と下部電極の両方を削る部分と、下部電極は残す部分との選択が不要なため、マスク工程が減り、プロセスが簡素化される。

【0047】(実施例2)図16に本実施例に用いた本発明のメモリ素子構造の断面図を示す。本実施例においては、ドレイン電極を自己整合的に作成して、磁気抵抗膜がドレイン電極上に直に形成された構成となっている。本実施例の作成プロセスを図17～図24に示す。まず、電界効果トランジスタのドレイン電極13およびソース電極12を、絶縁膜で覆われたゲート電極4とチャロートレンチアイソレーション領域15との間に自己



整合的に形成して、CMP等により平坦化処理をする(図17)。その後、 $GdFe/Co/AlO_x/Co/TbFe$ からなる膜面垂直方向に磁化配向した積層膜からなる磁気抵抗膜を成膜して(図18)、パターニング後に絶縁膜を形成する(図19)。次いで、絶縁膜の一部を切削加工して(図20)、金属膜、たとえばCuを埋め込み(図21)、CMPにより平坦化処理を行ない書き込み線10を形成する(図22)。次いで、磁気抵抗膜上の絶縁膜をエッチングにより穴をあけ(図23)、プラグ5を埋め込んだ後ビット線6を設け(図24)、絶縁膜からなる保護膜を形成する(図16)。

【0048】図8においては、ドレイン領域3にプラグ電極5を立てるときに、位置合わせ時のずれがF(最小加工寸法)あるとすると、3Fの幅を取る必要があり、ドレイン領域3の面積は、 $9 \times (F \text{の自乗})$ が必要となる。これに対して、本実施例のデバイス構造においては、ドレイン電極13は自己整合的に形成できるため位置合わせマージンが不要で、ドレイン領域3とドレイン電極13との位置あわせマージンは、原理的に0にでき、ドレイン領域3の面積を $1 \times (F \text{の自乗})$ にすることができ、より小型化を計ることができる。また、このメモリ素子においては、ドレイン領域の面積の中で、ドレイン電極が閉める面積を少なくとも50%以上にすることができ、メモリ素子の面積を小さくすることができる。ドレイン電極が閉める面積とドレイン領域の面積との面積比は、60%以上が望ましく、80~90%以上にすると、よりメモリ素子の小型化が可能となり望ましい。

【0049】また、磁気抵抗膜9は、ドレイン電極13と電気的に接続され、隣接のソース電極12と電気的に接続しなければ良く、またCMPで平坦化処理された後に成膜されるので、位置合わせマージンの余裕があり、トンネル障壁膜のラフネスによる悪影響を抑えることができる。また、情報の記録再生方法は実施例1と同様にすればよい。それは以下の実施例においても同様である。

【0050】(実施例3)図25に本実施例に用いた本発明のメモリの構造を示す。本実施例においては接地配線を隣接するメモリ素子間において共通化した構造となっている。図25において、メモリセルのソース領域は、接地電位としている。本実施例においては、MOSFETのソース領域を隣接メモリセル間で共有することで、セル面積を小さくすることができる。メモリセルの横方向の幅を、3F(Fは最小加工寸法)まで低減することが可能となり、メモリセルの面積を $6 \times (F \text{の自乗})$ とすることができる。本実施例の平面図を図26に、等価回路図を図27に示す。また、図8~図10と同様の機能を有するものには同様の番号を付し、説明は省くものとする。

【0051】(実施例4)図28に本実施例に用いた本

発明のメモリの構造を示す。本実施例においては書き込み線を、磁気抵抗素子を挟む位置に2本平行に設け、それぞれの書き込み線に互いに逆方向の電流を流し、発生する磁界を合成し、大きな磁界を印加することが可能となる。また、再生時に記録時よりも弱い磁界を発生させることが必要な構成の際には、再生時には一つの書き込み線に電流を流し、記録時に2つの書き込み線に電流を流すようにすることによって、再生時と記録時の電流マージンを広げることができ、再生時に誤記録することなく安定に動作させることができる。

【0052】(実施例5)図29に本実施例に用いた本発明のメモリの構造を示す。本実施例においては隣接セル間において書き込み線10が共有された構造となっている。書き込み線10が共有されることによって、配線本数が減りデバイス構造が簡略化されるために、メモリ素子が小型化できる。

【0053】(実施例6)図30に本実施例に用いた本発明のメモリの構造を示す。本実施例においては、ソース電極12上に書き込み線10を設けて、書き込み線と接地配線を一体化している。このような構造にすることによって、デバイス構造が簡単になり製造プロセスも簡略化される。書き込み線に電流を流して記録再生動作をする場合には、トランジスタ側に電流が流れないようにすることが望ましい。このためには、両側のトランジスタはオフ状態となるように、ゲート電極の電位を設定すればよい。

【0054】(実施例7)図31、図32に本実施例に用いた本発明のメモリの構造を示す。本実施例においては、磁気抵抗膜9は、ドレイン領域に、プラグやドレイン電極を介さずに直接接続されている。本実施例の構造のように、ドレイン領域の直上であれば、プラグやドレイン電極を介する必要は無い。また、図32は、書き込み線10をゲート電極4で代用した構造を示した図である。本実施例において、書き込み線に電流を流す際に、電界効果トランジスタがオン状態にならない程度の電圧に、ゲート電極の電位が抑えられるようにすることが必要である。このためには、ゲート電極の抵抗率を低減して、書き込みに必要な電流を流した際に過度にゲート電極の電位が上昇しないようにすればよい。

【0055】(実施例8)図33は、書き込み線を磁気抵抗効果素子より基板側に配置したメモリ素子の概略断面であり、図1と同じ機能の部分は同じ符号が記してある。図8との違いは、書き込み線10が磁気抵抗効果素子9より基板側に形成されている点にある。

【0056】前記書き込み線10を流れる電流は、磁気抵抗効果素子9に対して垂直方向の磁界を発生するので、最も効果的な位置は磁気抵抗効果素子の真横であるが、磁気抵抗効果素子を形成した後に書き込み線を埋め込む工程となり、磁気抵抗効果素子9と書き込み線10の電気的な短絡を回避するために、位置合わせに充分な



間隔が必要となる。このため、磁気抵抗効果素子9と書き込み線10が離れてしまい、同じ書き込み電流では、磁気抵抗効果素子9に印加できる磁界が小さくなってしまふ。また、大きな書き込み電流を流すために、書き込み線は断面積を大きくする必要があり、厚い配線の埋め込みは、不必要な部分に形成された金属を化学的・機械的研磨(CMP)により削り取ることで形成される。しかし、このCMP工程ではストレスが加わるため、磁気抵抗効果素子への影響を回避するため緩衝層等の挿入が必要となる。

【0057】本実施例の構成の製造工程を説明する。図34は、通常のシリコンプロセスを用いて電界効果型トランジスタが形成されているシリコン基板である。この電界効果型トランジスタのドレイン領域3に接続するプラグ電極5および書き込み線10を形成し、上面を平坦化する(図35)。ここまでの工程で使用する材料は、すべてシリコンプロセスで使用している材料であるため、プロセス装置の汚染や熱処理に対する耐熱性の心配もないので、汎用の装置・プロセスで作製できる。

【0058】次に、プラグ直上にコンタクトホールを形成し、全面に磁気抵抗効果膜を積層し(図36)、フォトリソ工程により磁気抵抗効果素子を加工した後、更に絶縁膜を形成する。次に、磁気抵抗効果素子の直上にコンタクトホールを形成し、ビット線用の電極材料を形成した後フォトリソ工程により加工し、最後に保護層の絶縁膜を形成して図33の素子が完成する。

【0059】この磁気抵抗効果材料に係わる工程は、主に、磁気抵抗効果膜の成膜・パターニングとビット線6の成膜・パターニングであり、比較的少ないプロセス工程・装置で加工できる。さらに、磁気抵抗効果素子と書き込み線とを接近させることができるため、書き込み電流で誘起される磁界が磁気抵抗効果素子に効果的に印加される。

【0060】つまり、本実施例の構成により、メモリ素子を比較的容易に製造することが可能であり、また、書き込み線で誘起される磁界を効果的に磁気抵抗効果素子に印加できる。

【0061】(実施例9)図37、38は、書き込み線10をシリコン基板に形成した電界効果型トランジスタの素子分離領域11上、および、ゲート電極4上に絶縁層を介して配置したメモリセルの概略断面であり、図1、33などと同じ機能の部分には同じ符号を付与した。電界効果型トランジスタのドレイン領域3に接続するプラグ5と書き込み線10が、電界効果型トランジスタのパターンと整合しているため、マスクパターンの作成や製造工程におけるマスク合わせが容易になる等の効果が期待できる。

【0062】図39は、書き込み線10が、磁気抵抗効果素子を挟んで2本配置されたのメモリ素子構成において、2本の書き込み線10が、シリコン基板に形成され

た電界効果型トランジスタの素子分離領域11上、および、ゲート電極10上に絶縁層を介して配置したメモリセルの概略断面図である。このような構成にすることにより、メモリを小型化することが可能となる。

【0063】

【発明の効果】本発明のメモリ構成によれば、従来のメモリ構成と比較してメモリ構造を小型化することが可能となり、高集積化が達成される。

【図面の簡単な説明】

【図1】従来例のメモリ素子の一例の断面図

【図2】図1のメモリ素子の断面図

【図3】図1のメモリ素子のプロセスの一例を示す図

【図4】図1のメモリ素子のプロセスの一例を示す図

【図5】図1のメモリ素子のプロセスの一例を示す図

【図6】図1のメモリ素子のプロセスの一例を示す図

【図7】図1のメモリ素子のプロセスの一例を示す図

【図8】実施例1のメモリの断面図

【図9】図1のメモリの平面図

【図10】実施例1のメモリの回路構造の例を示す等価回路図

【図11】実施例1のメモリの作製プロセスを示す図

【図12】実施例1のメモリの作製プロセスを示す図

【図13】実施例1のメモリの作製プロセスを示す図

【図14】実施例1のメモリの作製プロセスを示す図

【図15】実施例1のメモリの作製プロセスを示す図

【図16】実施例2のメモリの断面図

【図17】実施例2のメモリの作製プロセスを示す図

【図18】実施例2のメモリの作製プロセスを示す図

【図19】実施例2のメモリの作製プロセスを示す図

【図20】実施例2のメモリの作製プロセスを示す図

【図21】実施例2のメモリの作製プロセスを示す図

【図22】実施例2のメモリの作製プロセスを示す図

【図23】実施例2のメモリの作製プロセスを示す図

【図24】実施例2のメモリの作製プロセスを示す図

【図25】実施例3の隣接する素子でソース配線(接地配線)を共通化したメモリの断面図

【図26】図25のメモリ素子の平面図

【図27】図25のメモリの回路構造を示す等価回路図

【図28】実施例4の一つの素子に対して書き込み線を二本設けたメモリの断面図

【図29】実施例5の隣接する素子において書き込み線が共通化されているメモリの断面図

【図30】実施例6の書き込み配線をソース領域上に設けたメモリの断面図

【図31】実施例7のドレイン領域上に直接素子を設けたメモリの断面図

【図32】実施例7の書き込み線とゲート配線が共通化されたメモリの断面図

【図33】実施例8の書き込み線が素子よりも基板側に設けられたメモリの断面図

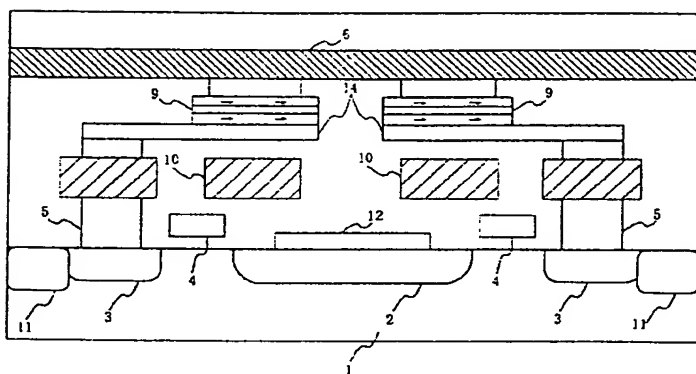
【図34】実施例8のメモリの作製プロセスを示す図  
 【図35】実施例8のメモリの作製プロセスを示す図  
 【図36】実施例8のメモリの作製プロセスを示す図  
 【図37】実施例9の書き込み線が素子分離領域上に形成されているメモリの断面図  
 【図38】実施例9の書き込み線がゲート電極上に形成されているメモリの断面図  
 【図39】実施例9のメモリ素子を挟んで書き込み線が二本あり、2本の書き込み線が素子分離領域及び／またはゲート電極上に形成されているメモリの断面図

【符号の説明】

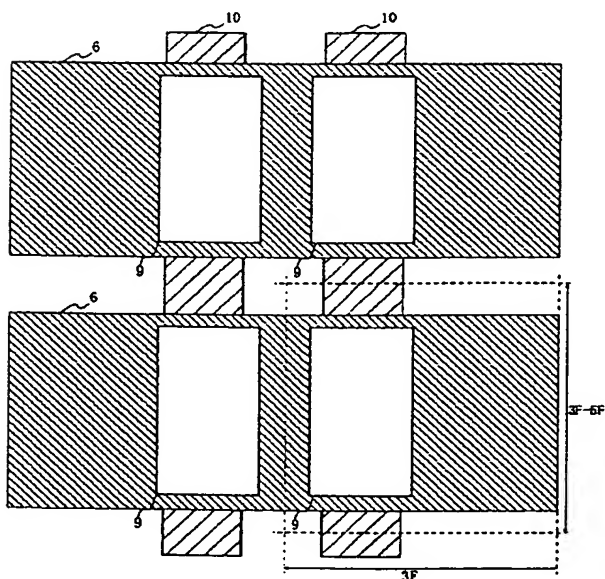
- 1 基板  
 2 ソース領域  
 3 ドレイン領域  
 4 ゲート線

- 5 プラグ  
 6 ビット線  
 9 磁気抵抗効果膜  
 10 書き込み線  
 11 素子分離領域  
 12 ソース電極  
 13 ドレイン電極  
 14 下部電極  
 B1～B3 ビット線  
 S1～S3 ソース線  
 W1～W3 書き込み線  
 G1～G3 ワード線（ゲート線）  
 T11～T43 トランジスタ  
 R11～R43 可変抵抗（磁気抵抗効果膜）  
 SA センスアンプ

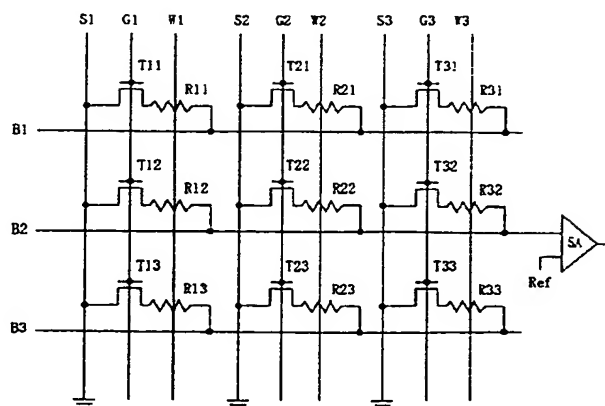
【図1】



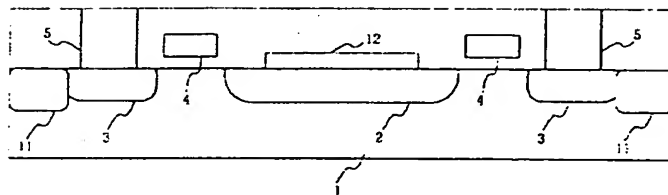
【図2】



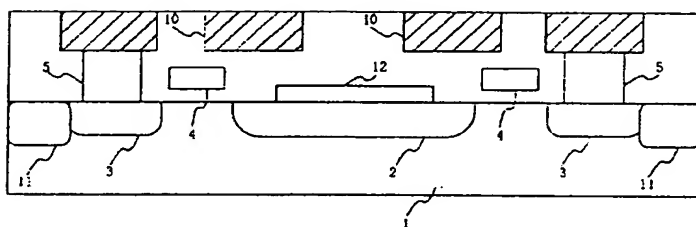
【図10】



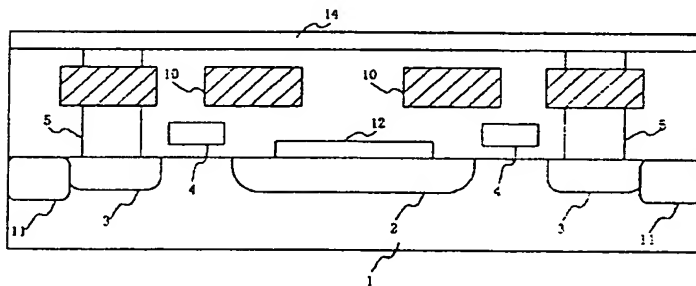
【図3】



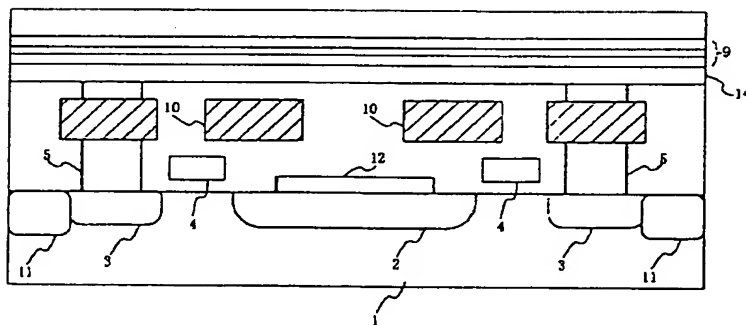
【図4】



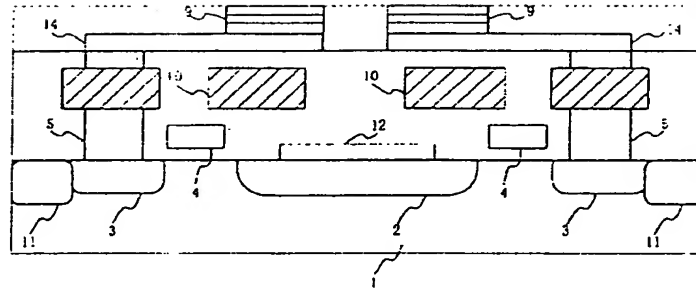
【図5】



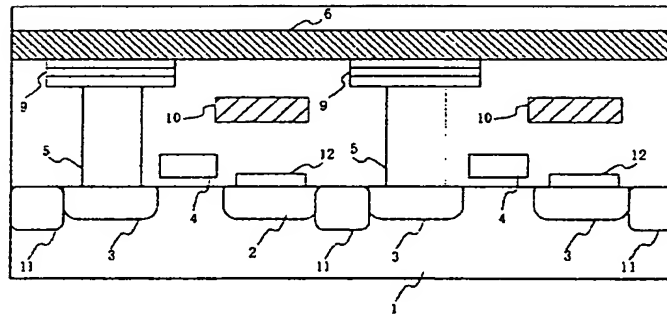
【図6】



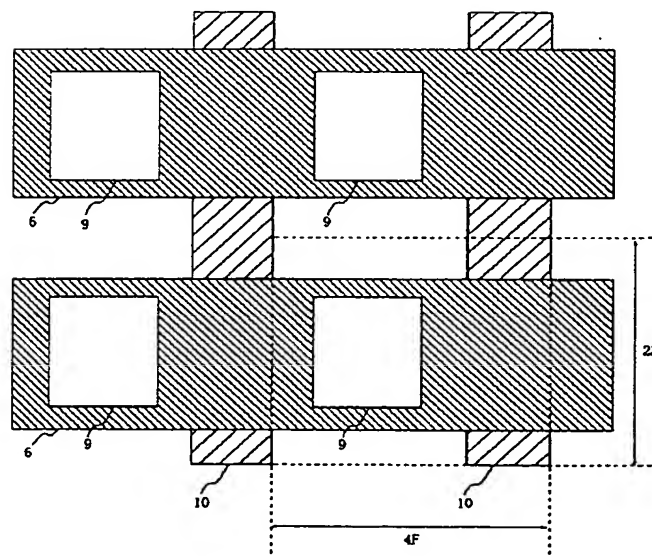
【図7】



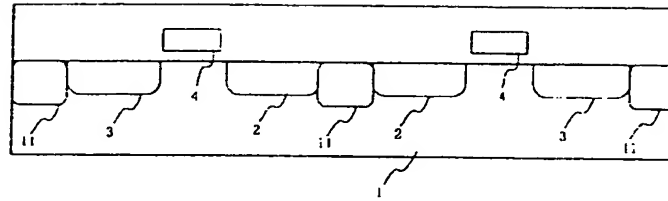
【図8】



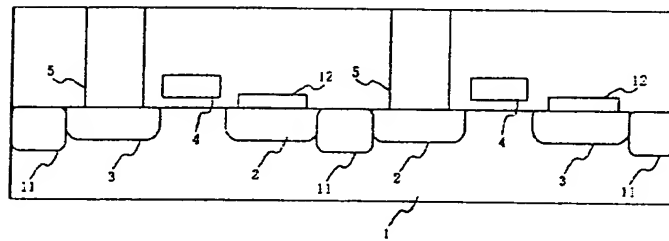
【図9】



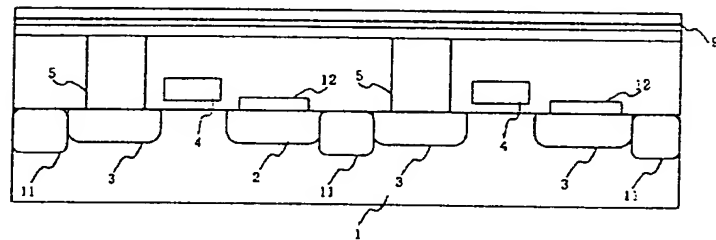
【図11】



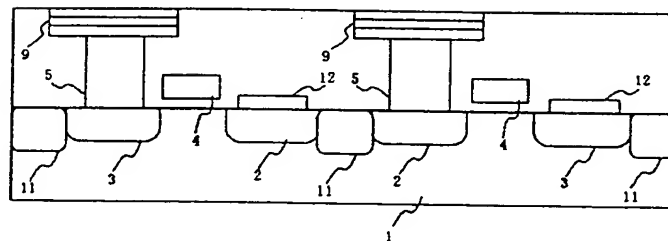
【図12】



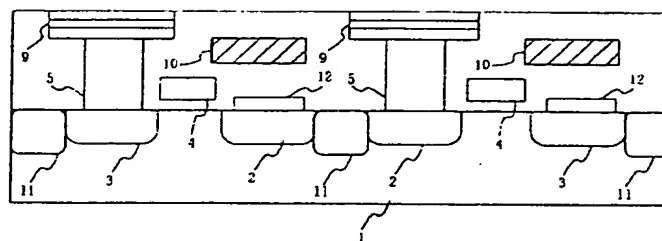
【図13】



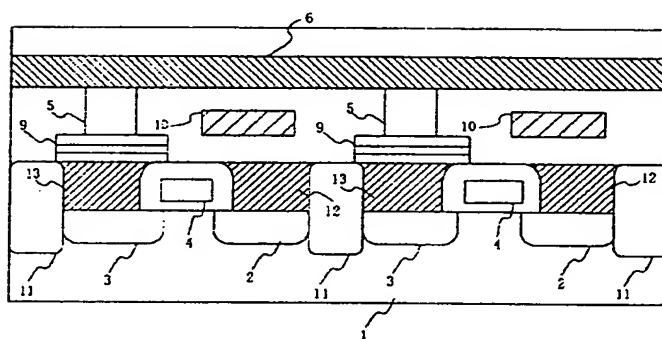
【図14】



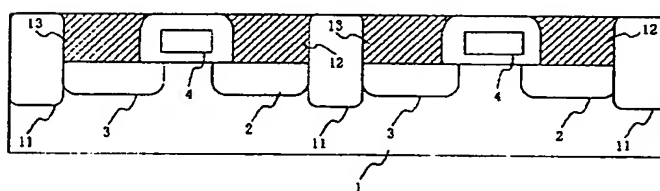
【図15】



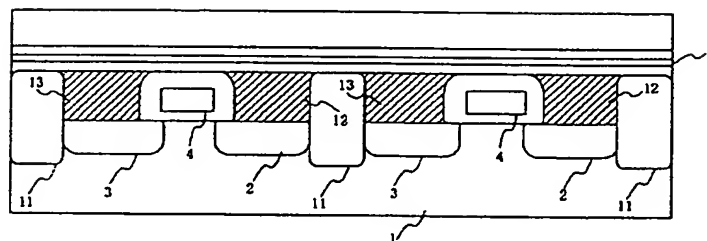
【図16】



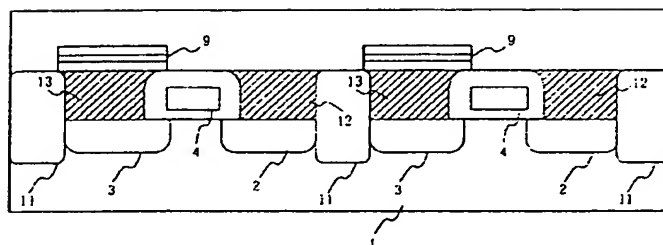
【図17】



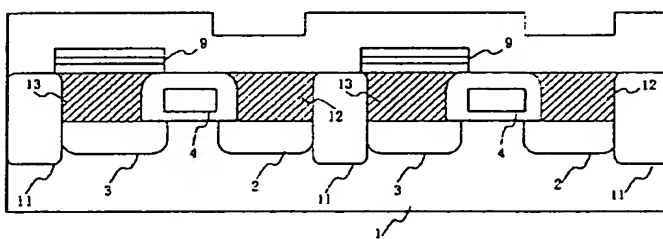
【図18】



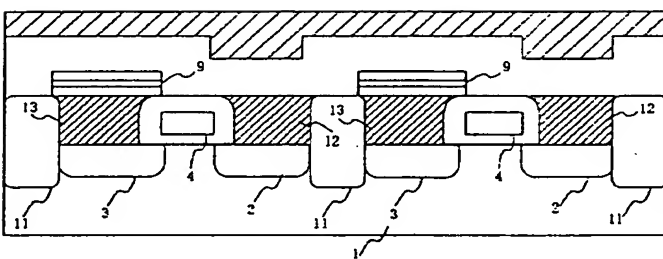
【図19】



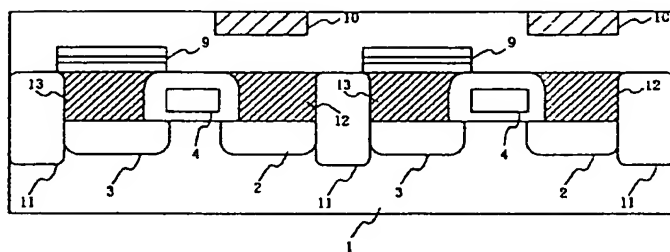
【図20】



【図21】

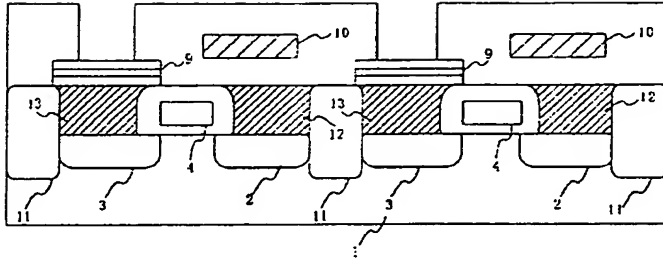


【図22】

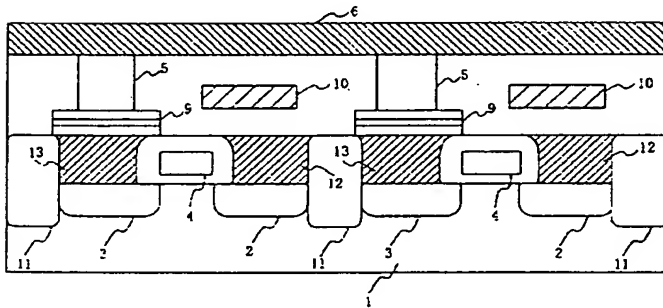




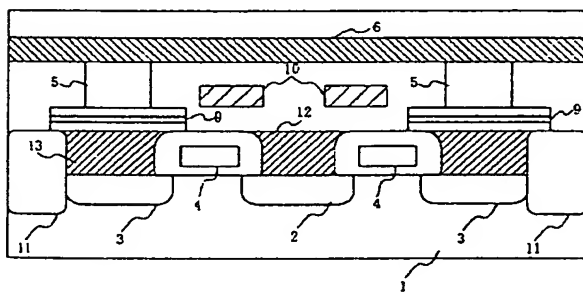
【図23】



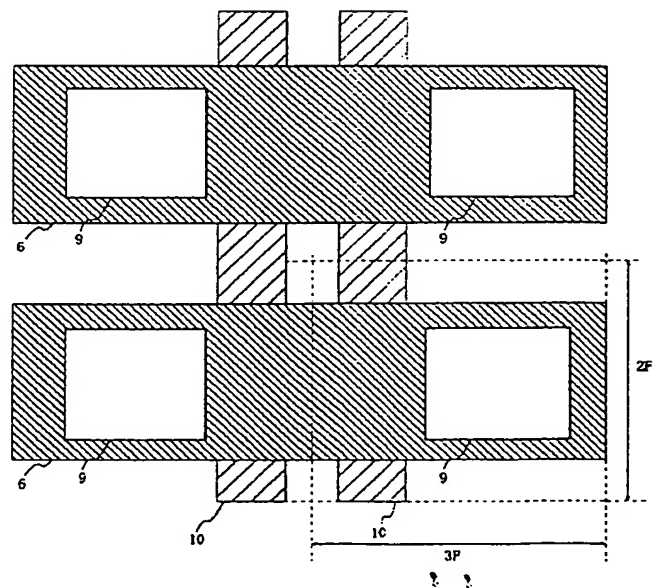
【図24】



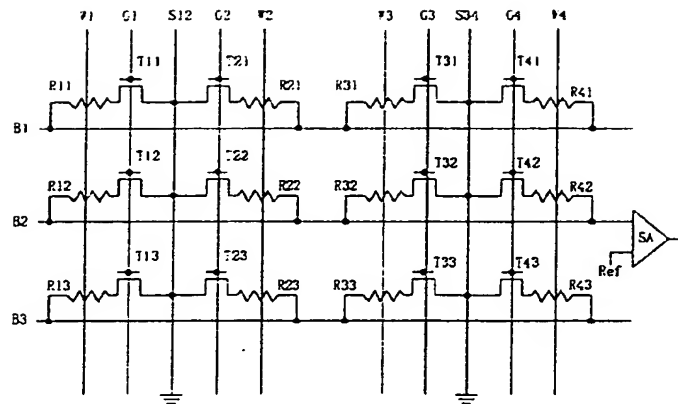
【図25】



【図26】

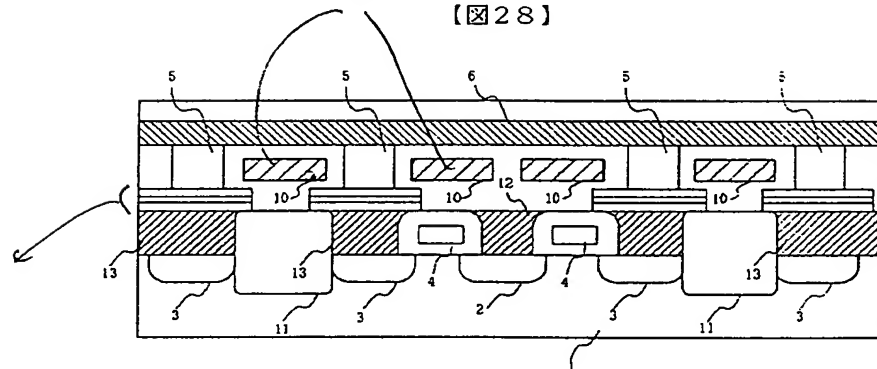


【図27】

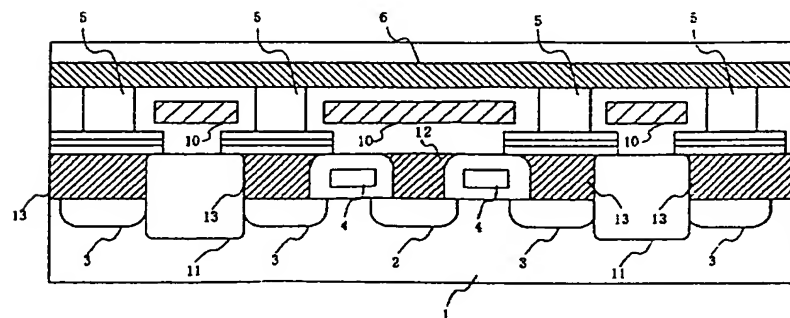


digit line  
【図28】

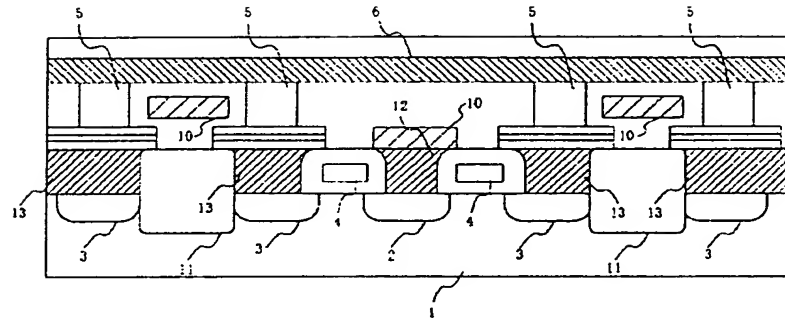
MTJ



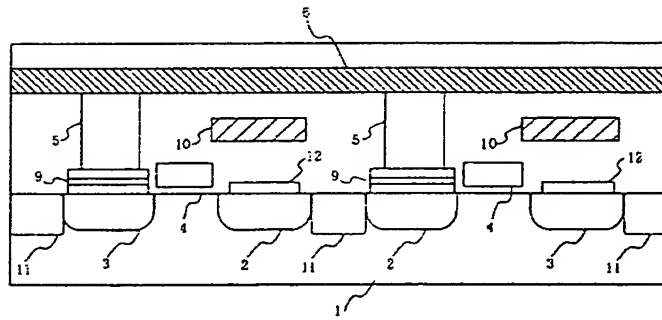
【図29】



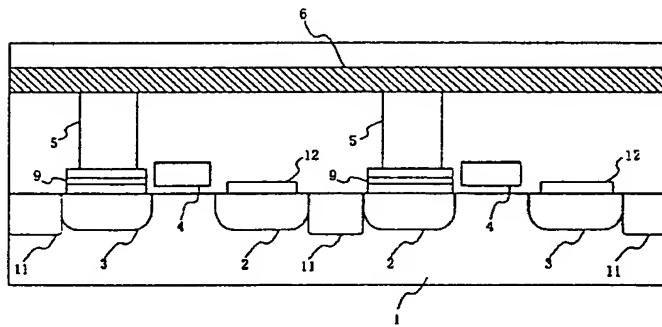
【図30】



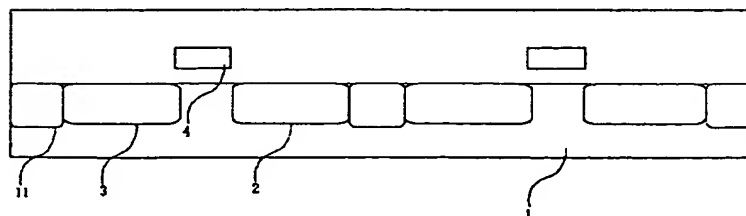
【図31】



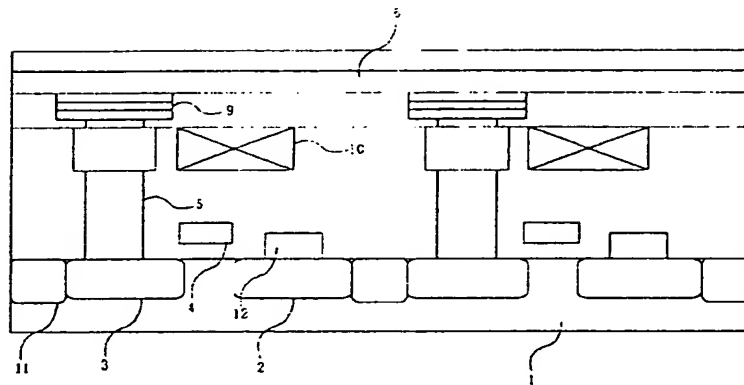
【図32】



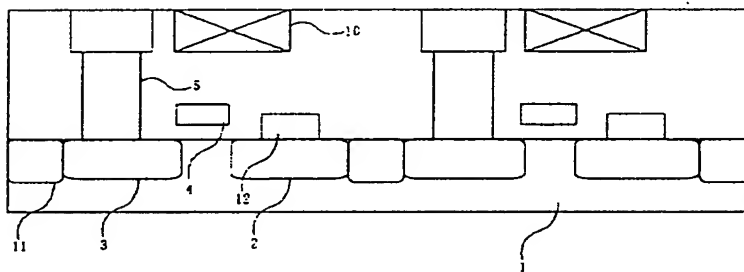
【図34】



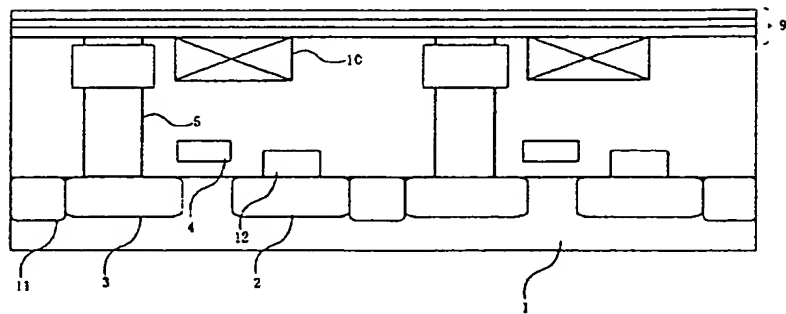
【図33】

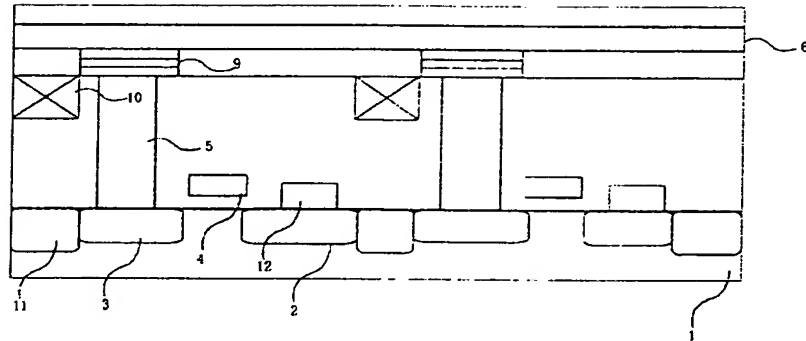


【図35】

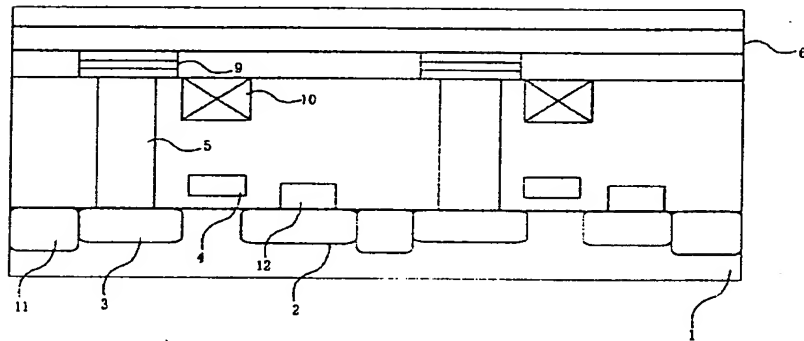


【図36】

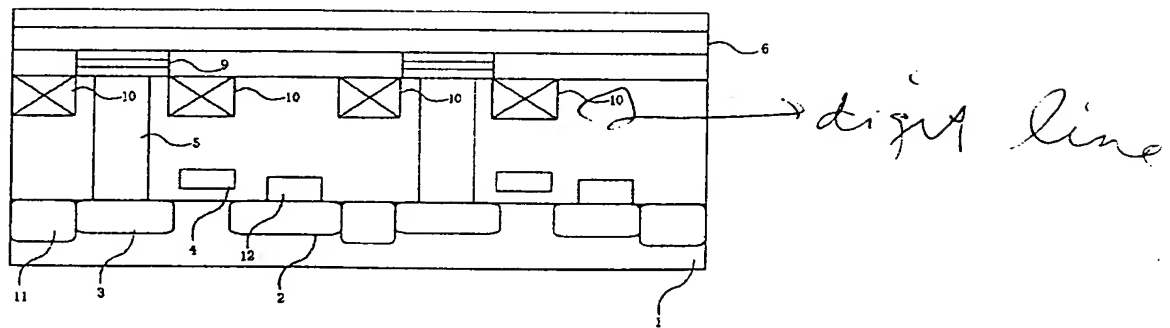




【図38】



【図39】



【請求項１】 基板と該基板上に形成された、少なくとも第１磁性膜と第２磁性層を有し、前記第１と第２磁性層間に非磁性層を有する磁気抵抗素子、と前記磁気抵抗素子の前記基板と対向する側に設けられたビット線と、前記第１磁性層または第２磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線と、

トランジスタと、からなるメモリにおいて、

前記トランジスタのドレイン領域の直上に、前記磁気抵抗素子が形成されていることを特徴とするメモリ。

【請求項2】 前記第1及び第2の磁性膜の磁化容易軸が膜面垂直方向であることを特徴とする請求項1に記載のメモリ。

【請求項3】 前記非磁性層が絶縁部分を有することを特徴する請求項1または2に記載のメモリ。

【請求項4】 前記基板上に前記磁気抵抗効果素子がマトリックス状に形成されていることを特徴とする請求項1～3のいずれか1項に記載のメモリ。

【請求項5】 前記トランジスタのドレイン電極がドレイン領域面積の50%以上を占有することを特徴とする請求項1～4のいずれか1項に記載のメモリ。

【請求項6】 前記書き込み線が、磁気抵抗効果素子より基板側に配置されていることを特徴とする請求項1～5のいずれか1項に記載のメモリ。

【請求項7】 前記基板上にトランジスタおよび書き込み線が形成された後に、磁気抵抗効果素子が形成されていることを特徴とする請求項6に記載のメモリ。

【請求項8】 前記書き込み線が、シリコン基板に形成されたトランジスタの素子分離領域上、または、ゲート電極上に絶縁層を介して配置されていることを特徴とする請求項6に記載のメモリ。

【請求項9】 前記トランジスタのソース領域に接地電極が接続されており、隣接する2つの磁気抵抗素子において、該接地電極が共有されていることを特徴とする請求項4に記載のメモリ。

【請求項10】 前記書き込み線を前記磁気抵抗素子を挟むように設け、前記書き込み線に互いに逆方向の電流を流して前記磁気抵抗素子の磁性層の磁化状態を変化させることを特徴とする請求項1に記載のメモリ。

【請求項11】 少なくとも1本の書き込み線が、前記トランジスタの素子分離領域上、または、ゲート電極上に絶縁層を介して配置されていることを特徴とする請求項10に記載のメモリ。

【請求項12】 前記書き込み線が、隣接する磁気抵抗素子において共有されていることを特徴とする請求項4に記載のメモリ。

【請求項13】 前記トランジスタのソース領域に接続された前記接地電極が、前記書き込み線を兼ねることを特徴とする請求項9に記載のメモリ。

【請求項14】 前記磁気抵抗膜が、前記トランジスタのドレイン領域に直接設けられていることを特徴とする請求項1に記載のメモリ。

【請求項15】 前記トランジスタのゲート電極が、前

記書き込み線を兼ねることを特徴とする請求項1に記載のメモリ。

【請求項16】 前記第1磁性層及び／または第2磁性層が、希土類鉄族合金からなることを特徴とする請求項1～15のいずれか1項に記載のメモリ。

【請求項17】 前記希土類鉄族合金のうち、希土類元素が、Gd、Tb、Dyのうち、少なくとも一種の元素を含み、鉄族元素がFe、Coのうち、少なくとも一種の元素を含むことを特徴とする請求項16に記載のメモリ。

【請求項18】 前記第1磁性層と前記非磁性層間と前記第2磁性層と前記非磁性層間の少なくとも一方に、Fe、Coのうち、少なくとも一つの元素を含む磁性層が設けられていることを特徴とする請求項17に記載のメモリ。

【請求項19】 請求項1記載のメモリの記録再生方法において、

前記第1磁性層の磁化方向をあらかじめ所定の方向に初期化し、前記書き込み線に電流を流すことによって、前記磁気抵抗素子の第2磁性層の磁化方向を決定して情報を記録し、前記磁気抵抗素子の抵抗の絶対値を検出して、記録された情報を再生することを特徴とするメモリの記録再生方法。

【請求項20】 請求項1に記載のメモリの記録再生方法において、

前記書き込み線に電流を流すことによって、前記磁気抵抗素子の第1磁性層の磁化方向を決定して情報を記録し、前記第2磁性層の磁化方向を反転させて、そのときに生じる抵抗変化を検出して、記録された情報を再生することを特徴とするメモリの記録再生方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】そして上記目的は、基板と該基板上に形成された、少なくとも第1磁性膜と第2磁性層を有し、前記第1と第2磁性層間に非磁性層を有する磁気抵抗素子、と前記磁気抵抗素子の前記基板と対向する側に設けられたビット線と、前記第1磁性層または第2磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線と、トランジスタと、からなるメモリにおいて、前記トランジスタのドレイン領域の直上に、前記磁気抵抗素子が形成されていることを特徴とするメモリによって達成される。

(21) 102-176150 (P2002-17E58)

フロントページの続き

(72) 発明者 関口 芳信

東京都大田区下丸子3丁目30番2号キャノ  
ン株式会社内

ドターム(参考) 5F083 FZ10 GA09 JA19 JA37 LA12  
LA16 MA06 MA19 PR40